

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226097

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

G 1 1 C 17/ 00

5 1 0 A

3 0 9 F

5 3 0 D

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号

特願平6-18482

(22) 出願日

平成6年(1994)2月15日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小林 真一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

(72) 発明者 中井 宏明

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

(74) 代理人 弁理士 深見 久郎 (外3名)

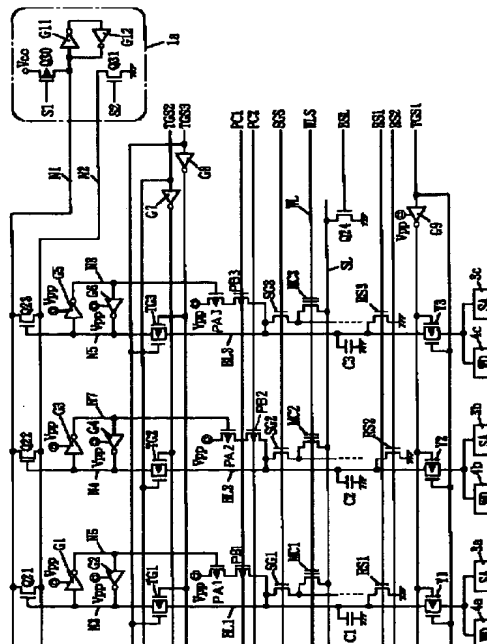
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 書込／消去ベリファイ時間が短く、かつ、高集積化に適する不揮発性半導体記憶装置を提供する。

【構成】 書込ベリファイの対象となる複数のビット線BL1～BL3のうち1本おきにビット線リセットトランジスタRS1、RS3によりリセットをかける。このとき、カラムラッチG3、G4とリセットされていないビット線BL2とはトランスファーゲートTG2により分離されている。次に、カラムラッチG3、G4のデータに応じてビット線BL2をプリチャージし、ワード線WLにベリファイ電圧を印加する。次に、ソース線トランジスタQ24によりソース線を接地し、ビット線BL2とカラムラッチG3、G4とを接続し、メモリセルのしきい値に応じたデータがカラムラッチG3、G4に保持され、書込ベリファイ動作が実行される。



【特許請求の範囲】

【請求項1】 それぞれがビット線、ソース線およびワード線に接続された複数のメモリセルの書込状態を確認する書込ベリファイ動作を行なう不揮発性半導体記憶装置であって、

前記ビット線を1本おきに所定の電圧に固定する電圧固定手段と、

前記所定の電圧に固定されていないビット線に接続されるメモリセルに対する書込ベリファイ動作を実行する書込ベリファイ手段とを含む不揮発性半導体記憶装置。

【請求項2】 前記書込ベリファイ手段は、

前記ビット線ごとに接続され、前記ビット線に接続されたメモリセルのデータをラッチするカラムラッチと、書込電圧印加後、前記カラムラッチと前記ビット線とを電気的に分離する分離手段と、

前記分離手段により分離されたビット線を前記カラムラッチにラッチされたデータに応じて所定の電圧にプリチャージするプリチャージ手段と、

書込ベリファイの対象となるメモリセルに接続されるワード線を書込ベリファイ電圧に設定する書込ベリファイ電圧設定手段と、

前記書込ベリファイ電圧設定手段により前記ワード線が書込ベリファイ電圧に設定された後、書込ベリファイの対象となるメモリセルに接続されるソース線を一時的に接地する接地手段と、

前記接地手段により前記ソース線が接地された後、前記ビット線と前記カラムラッチとを電気的に接続する接続手段とを含む請求項1記載の不揮発性半導体記憶装置。

【請求項3】 それぞれがビット線、ソース線およびワード線に接続された複数のメモリセルの書込状態を確認する書込ベリファイ動作を行なう不揮発性半導体記憶装置であって、

前記ビット線ごとに接続され、前記ビット線に接続されたメモリセルのデータをラッチするカラムラッチと、書込電圧印加後、前記カラムラッチと前記ビット線とを電気的に分離する分離手段と、

書込ベリファイの対象となるメモリセルに接続されたワード線を書込ベリファイ電圧に設定する書込ベリファイ電圧設定手段と、

前記書込ベリファイ電圧設定手段により前記ワード線が書込ベリファイ電圧に設定された後、書込ベリファイの対象となるメモリセルのソース線を一時的に接地する接地手段と、

前記接地手段により前記ソース線が接地された後、前記ビット線と前記カラムラッチとを電気的に接続する接続手段とを含む不揮発性半導体記憶装置。

【請求項4】 それぞれがビット線、ソース線およびワード線に接続された複数のメモリセルの消去状態を確認する消去ベリファイ動作を行なう不揮発性半導体記憶装置であって、

10 前記ビット線ごとに接続され、前記ビット線に接続されたメモリセルのデータをラッチするカラムラッチと、消去ベリファイ時に前記カラムラッチと前記ビット線とを電気的に分離する分離手段と、
前記分離手段により分離されたビット線を所定の電圧にプリチャージするプリチャージ手段と、
消去ベリファイの対象となるメモリセルに接続されたすべてのワード線を書込ベリファイ電圧に設定する消去ベリファイ電圧設定手段と、
10 前記消去ベリファイ電圧設定手段により前記ワード線が消去ベリファイ電圧に設定された後、消去ベリファイの対象となるメモリセルのソース線を一時的に接地する接地手段と、
前記接地手段により前記ソース線が接地された後、前記ビット線と前記カラムラッチとを電気的に接続する接続手段とを含む不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電気的に書込および消去可能な不揮発性半導体記憶装置に関し、特に、ビット線、ソース線およびワード線に接続されたメモリセルの状態を確認するベリファイ動作を行なう不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】 電気的に書込および消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、その低コスト性、電気的消去機能を有することから大きな市場が予測され、近年最も盛んに研究開発が行なわれている不揮発性メモリである。

30 【0003】 以下、従来のフラッシュメモリについて図面を参照しながら説明する。図7は、従来のDINOR型フラッシュメモリの断面構造を示す図である。

【0004】 図7を参照して、フラッシュメモリは、N型ウェル101、P型半導体基板102、P型ウェル103、N⁺型不純物領域104～115、薄い絶縁層116、フローティングゲート117、コントロールゲート118、ポリシリコン層119、セレクトゲート120、主ビット線121を含む。

【0005】 N型ウェル101によりP型の半導体基板102とP型ウェル103とが分離される。P型ウェル103内には、所定間隔でN⁺型の不純物領域114～115が形成されている。不純物領域間の領域には極めて薄い絶縁層116（約100Å）を介してフローティングゲート117が形成されている。フローティングゲート117の上方には絶縁膜を介してコントロールゲート118が形成されている。上記構成により、メモリセルは、2層ゲート構造のMOSトランジスタとなっている。不純物領域114～115は、ドレインまたはソースとして使用される。各々のドレインは、副ビット線として働く3層目のポリシリコン119と接続される。ポ

リシリコン層119は、セレクトゲート120を介して主ビット線121と接続される。1つの副ビット線には、通常8個〜64個のメモリセルが接続されており、これらのメモリセルにより1つのセクタ（ブロック）が構成される。

【0006】以下、フラッシュメモリの書込および消去動作について詳細に説明する。図8は、従来のDINOR型フラッシュメモリの書込/消去動作を説明するための図であり、図9は、従来のDINOR型フラッシュメモリのプログラム時および消去時のしきい値電圧を示す図である。

【0007】図8を参照して、フラッシュメモリは、フローティングゲート123に電子を注入するかまたはフローティングゲート123から電子を放出するかにより情報を記憶させる。すなわち、フローティングゲート123に電子が注入されている状態では、コントロールゲート122から見たメモリトランジスタのしきい値が高くなる。具体的には、図9に示すように、ゲート電圧 V_{th1} 以上にならなければ電流は流れない。この状態を消去状態と呼び、データとしては“1”を対応させる。また、フローティングゲート123から電子が放出されている状態では、コントロールゲート122から見たしきい値は低くなる。具体的には、図9に示すように、ゲート電圧 V_{th2} 以上であれば電流が流れる。この状態をプログラム状態と呼び、データとしては“0”を対応させる。フラッシュメモリでは、上記の2つの状態を検出して、書込まれている情報をセンスアンプにより読出す。

【0008】次に、図8を参照して、DINOR型フラッシュメモリの一般的な書込および消去動作についてさらに詳細に説明する。まず、消去時、コントロールゲート122には、コントロールゲート電圧 V_g として10V程度の高電圧が印加され、Pウェルおよびソースには、それぞれ-8V程度の負電圧のPウェル電圧 V_b およびソース電圧 V_s が印加される。上記の各電圧が印加されると、メモリセルにはチャネルが生じ、コントロールゲート122とチャネル間に18Vという高電圧が印加されることとなり、トンネル効果によって電子がフローティングゲート123へ注入される。

【0009】一方、書込時には、コントロールゲート122に-8V程度の負電圧のコントロールゲート電圧 V_g が印加され、さらに、ドレインに6V程度の正電圧のドレイン電圧 V_d が印加される。上記の各電圧が印加されると、ドレインとコントロールゲート122間に14Vの高電圧が印加されることになり、トンネル効果により電子がフローティングゲートから引抜かれる。このとき、PウェルのPウェル電圧 V_b は接地電圧であり、ソースのソース電圧 V_s はフローティング状態である。以上のように所定の電圧が印加されることにより、メモリセルに対して書込および消去動作を行なうことが可能と

なる。

【0010】上記のように従来のDINOR型フラッシュメモリでは、トンネル現象を利用して電子を引抜くときに、電子が過剰に引抜かれ、フローティングゲートが正に帯電するということが起こり得る。これを過剰書込と呼ぶことにするが、コントロールゲートから見たしきい値が負になるため、書込/読出時に過剰消去されたメモリセルを介してリーク電流が流れ、正常な動作が不可能となる。このため、書込時に正常な書込動作が行なわれているか否かを確認する書込ベリファイ動作および消去時に正常な消去動作が行なわれているか否かを確認する消去ベリファイ動作がセンスアンプを用いて行なわれる。通常、センスアンプは複数のメモリセルつまり複数のビット線に対して1個ずつ具備されており、対象となるすべてのメモリセルに対して、書込/消去ベリファイ動作を行なうために、複数回の書込/消去ベリファイ動作を行なっていた。

【0011】上記のようにセンスアンプを用いた書込ベリファイ動作では、書込ベリファイ動作に長時間を費すため、従来のNAND型フラッシュメモリでは、以下に説明する書込ベリファイ回路を用いていた。

【0012】以下、上記の書込ベリファイ動作を実行する書込ベリファイ回路について説明する。従来のNAND型フラッシュメモリの書込ベリファイ回路としては、“A Quick Intelligent Program Architecture for 3V-only NAND-EEPROMs, 1992 Symposium on VLSI Circuits Digest of Technical Papers, pp.20-21”に記載されている回路がある。図10は、上記の従来のNAND型フラッシュメモリの書込ベリファイ回路の構成を示す図である。

【0013】図10を参照して、従来の書込ベリファイ回路は、トランジスタQ61〜Q68、Q71〜Q78を含む。また、トランジスタQ81、Q82、メモリセルMC51〜MC5nにより書込対象用のセルアレイCAAが構成され、トランジスタQ83、Q84、メモリセルMC61〜MC6nによりダミーセル側のメモリセルアレイCABが構成される。

【0014】また、トランジスタQ71〜Q74、Q79、Q80により書込データをラッチさせるためのフリップフロップ回路が構成され、トランジスタQ75、Q76により上記フリップフロップ回路をイコライズするためのイコライズ回路が構成され、トランジスタQ62〜Q64、トランジスタQ65〜Q67によりそれぞれプログラムベリファイ用のベリファイ回路が構成される。また、各メモリセルMC51〜MC5n、MC61〜MC6nはNAND型である。

【0015】以下、上記のように構成された書込ベリファイ回路の動作について説明する。消去時は、全ワード線を0Vにしておき、メモリセルのウェルに高電圧を印加し、トンネル現象によりチャネル全面から電子をウェ

ルに引抜く。このとき、メモリセルのしきい値はマイナスになる。一方、書込時、カラムデコード131から書込データがフリップフロップ回路へロードされる。このとき、メモリセルのしきい値を高くしたい場合は、IOAに“L”を、IOBに“H”を入力する。反対にメモリセルのしきい値を低く保持しておきたい場合は、IOAに“H”を、IOBに“L”を入力する。次に、電圧 V_{rm} を高電圧(約10V)に立上げ、かつ、制御信号 ϕ_a を高電圧に設定し、制御信号 ϕ_b を0Vに設定する。セルアレイCAA側のコントロールゲートのうちの選択された1個が高電圧(約18V)に立上げられ、その他の非選択のコントロールゲートはすべて10Vに設定されている。このとき、フリップフロップ回路の出力が高電圧(約10V)であれば、コントロールゲートとチャネルとの電位差は8Vとなり、トンネル現象によるフローティングゲートへの電子の注入は起こらない。一方、フリップフロップ回路の出力が0Vであれば、電子はフローティングゲートへ注入される。なお、このとき、セルアレイCABのコントロールゲートはすべて0Vになっており、電子の注入は一切起きない。ここで、メモリセルのしきい値が読出時の電源電圧 V_{cc} (3V)より高くなりすぎるとメモリセルは決してオンしなくなり、読出が不可能になる。これは、読出時、非選択セルのコントロールゲートを3V、選択セルのコントロールゲートを0Vにしてビット線に電流が生じるか否かをセンスするためである。そこで、メモリセルのしきい値が適切な値まで(0V以上3V未満)上昇したかどうかを確認するため以下に説明する書込ベリファイ動作が行なわれる。

【0016】図11は、図10に示す書込ベリファイ回路の動作を説明するためのタイミングチャートである。書込が行なわれた後、電圧 V_a および V_b は、それぞれ、 $3 \cdot V_{cc}/5$ (約1.8V)、 $V_{cc}/2$ (約1.5V)に設定される。時刻 t_1 において、制御信号 ϕ_{pa} および ϕ_{pb} を“H”にし、セルアレイCAAおよびCABのビット線BLa1およびBLb1を充電する。次に、時刻 t_2 において、セルアレイCAA側の選択されたコントロールゲートに0.6Vを、非選択のコントロールゲートに3Vを印加する。このとき、セルアレイCAB側のコントロールゲートにはすべて0Vを印加する。もし、メモリセルのしきい値が0.6Vより低いとき(まだ書込が不十分の場合)、充電された電荷は、メモリセルを通して放電され、ビット線BLa1の電位は下降する。一方、0.6Vより高場合、充電された電荷はメモリセルを通して放電されず、ビット線BLa1の電位は保持される。次に、時刻 t_3 において、制御信号 ϕ_{av} を“H”にし、トランジスタQ63をオンする。フリップフロップ回路のノードNAが“H”の場合(メモリセルのしきい値を高くしたくない場合)、ビット線は再び充電され、高電位に保たれる。一方、フリップフ

ロップ回路のノードNAが“L”の場合(セルのしきい値を高くしたい場合)、ビット線BLa1は再び充電されることはない。次に、時刻 t_4 において、制御信号 ϕ_p および ϕ_n をそれぞれ“H”、“L”にした後、制御信号 ϕ_e を“H”にして、フリップフロップ回路のノードNAおよびNBの電位を $V_{cc}/2$ (約1.5V)にイコライズする。次に、制御信号 ϕ_a および ϕ_b を“H”にし、トランジスタQ64およびQ67をオンし、ビット線BLa1およびBLb1の電位を比較する。書込を行ないたくない場合および書込を行なってしきい値が0.6Vより高くなった場合では、ビット線BLa1は $V_{cc}/2$ より高い電位($3 \cdot V_{cc}/5$)になっており、ビット線BLa1は“H”にラッチされる。一方、書込がまだ不十分の場合は、ビット線BLa1の電位は、 $V_{cc}/2$ より低く、ビット線BLa1は“L”にラッチされる。この場合、書込がまだ不十分なので、再び書込動作を繰り返す。上記の動作を複数ビット同時に行なうことにより、書込ベリファイ動作が実行される。

【0017】

【発明が解決しようとする課題】上記の従来の書込ベリファイ回路では、書込ベリファイ時に、ビット線の電位が下降したか否かを複数ビット同時に行なうため、ビット線間のノイズが大きな問題となっていた。すなわち、ある隣り合ったビット線の一方が“H”から“L”に下降する場合、それに影響されて、本来“H”に保持されるべきビット線も“L”に下降する場合が生じる。これは、メモリの集積度が大きくなるにつれビット線間の間隔が狭くなればなるほど、より大きく影響し、高集積化の妨げになるという問題があった。また、書込ベリファイ動作に用いる電圧および制御信号の数が多く、回路が複雑となるため、回路規模が大きくなりやはり高集積化の妨げとなっていた。

【0018】本発明は、上記課題を解決するためのものであって、書込/消去ベリファイ時間が短く、かつ、高集積化に適する不揮発性半導体記憶装置を提供することを目的とする。

【0019】本発明のさらに他の目的は、書込ベリファイ時のビット線間のノイズの影響をなくすることができる不揮発性半導体記憶装置を提供することである。

【0020】本発明の他の目的は、書込/消去ベリファイ期間中にメモリセルのしきい値を同時に読出することができる不揮発性半導体記憶装置を提供することである。

【0021】本発明のさらに他の目的は、書込動作中に一時的に書込動作を中断させ、読出を行なうプログラムサスペンド動作、または、プログラムサスペンド動作の後再び書込動作に移行するプログラムレジューム動作を安定に行なうことができる不揮発性半導体記憶装置を提供することである。

【0022】

【課題を解決するための手段】請求項1記載の不揮発性

半導体記憶装置は、それぞれがビット線、ソース線およびワード線に接続された複数のメモリセルの書込状態を確認する書込ベリファイ動作を行なう不揮発性半導体記憶装置であって、ビット線を1本おきに所定の電圧に固定する電圧固定手段と、所定の電圧に固定されていないビット線に接続されるメモリセルに対する書込ベリファイ動作を実行する書込ベリファイ手段とを含む。

【0023】請求項2記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成に加え、書込ベリファイ手段は、ビット線ごとに接続され、ビット線に接続されたメモリセルのデータをラッチするカラムラッチと、書込電圧印加後、カラムラッチとビット線とを電気的に分離する分離手段と、分離手段により分離されたビット線をカラムラッチにラッチされたデータに応じて所定の電圧にプリチャージするプリチャージ手段と、書込ベリファイの対象となるメモリセルに接続されるワード線を書込ベリファイ電圧に設定する書込ベリファイ電圧設定手段と、書込ベリファイ電圧設定手段によりワード線が書込ベリファイ電圧に設定された後、書込ベリファイの対象となるメモリセルに接続されるソース線を一時的に接地する接地手段と、接地手段によりソース線が接地された後、ビット線とカラムラッチとを電気的に接続する接続手段とを含む。

【0024】請求項3記載の不揮発性半導体記憶装置は、それぞれがビット線、ソース線およびワード線に接続された複数のメモリセルの書込状態を確認する書込ベリファイ動作を行なう不揮発性半導体記憶装置であって、ビット線ごとに接続され、ビット線に接続されたメモリセルのデータをラッチするカラムラッチと、書込電圧印加後、カラムラッチとビット線とを電気的に分離する分離手段と、書込ベリファイの対象となるメモリセルに接続されたワード線をベリファイ電圧に設定する書込ベリファイ電圧設定手段と、書込ベリファイ電圧設定手段によりワード線が書込ベリファイ電圧に設定された後、書込ベリファイの対象となるメモリセルのソース線を一時的に接地する接地手段と、接地手段によりソース線が接地された後、ビット線とカラムラッチとを電気的に接続する接続手段とを含む。

【0025】請求項4記載の不揮発性半導体記憶装置は、それぞれがビット線、ソース線およびワード線に接続された複数のメモリセルの消去状態を確認する消去ベリファイ動作を行なう不揮発性半導体記憶装置であって、ビット線ごとに接続され、ビット線に接続されたメモリセルのデータをラッチするカラムラッチと、消去ベリファイ時にカラムラッチとビット線とを電気的に分離する分離手段と、分離手段により分離されたビット線を所定の電圧にプリチャージするプリチャージ手段と、消去ベリファイの対象となるメモリセルに接続されたすべてのワード線を消去ベリファイ電圧に設定する消去ベリ

メモリセルのソース線を一時的に接地する接地手段と、接地手段によりソース線が接地された後、ビット線とカラムラッチとを電気的に接続する接続手段とを含む。

【0026】

【作用】請求項1記載の不揮発性半導体記憶装置においては、書込ベリファイの対象となっていないビット線が1本おきに所定の電圧に固定されているので、これらのビット線が書込ベリファイの対象となるビット線のシールド線として作用する。

10 【0027】請求項2記載の不揮発性半導体記憶装置においては、ビット線ごとに設けられたカラムラッチを用いて、書込電圧印加後、カラムラッチとビット線とを分離する。次に、カラムラッチのデータに応じてビット線をプリチャージし、ワード線をベリファイ電圧に設定した後、一時的にソース線を接地する。その後、ビット線とカラムラッチとを接続することにより、メモリセルのしきい値に応じたデータがカラムラッチに保持され、書込ベリファイの対象となるメモリセルに対して同時に書込ベリファイ動作を実行することができる。

20 【0028】請求項3記載の不揮発性半導体記憶装置においては、ビット線ごとに設けられたカラムラッチを用い、書込電圧印加後、カラムラッチとビット線とを分離する。次に、書込ベリファイの対象となるワード線にベリファイ電圧を印加し、ソース線を一時的に接地する。その後、ビット線とカラムラッチを接続することにより、メモリセルのしきい値に応じたデータがカラムラッチへ保持され、書込ベリファイの対象となるすべてのメモリセルに対して同時に書込ベリファイ動作を行なうことができる。

30 【0029】請求項4記載の不揮発性半導体記憶装置においては、ビット線ごとに設けられたカラムラッチを用いて、消去ベリファイ時、カラムラッチとビット線とを切り離し、ビット線をプリチャージする。次に、消去ベリファイの対象となるすべてのワード線に消去ベリファイ電圧を印加し、ソース線を一時的に接地する。その後、ビット線とカラムラッチを接続することにより、メモリセルのしきい値に応じたデータがカラムラッチへ保持され、消去ベリファイの対象となるすべてのメモリセルに対して同時に消去ベリファイ動作を実行することができる。

【0030】

【実施例】以下、本発明の一実施例の不揮発性半導体記憶装置であるDINOR型フラッシュメモリについて図面を参照しながら説明する。図2は、本発明の一実施例のフラッシュメモリの構成を示すブロック図である。

【0031】図2を参照して、フラッシュメモリは、書込/消去制御回路1、データ入出力バッファ2、センスアンプ3、書込回路4、Yデコーダ5、高電圧発生回路6、19、負電圧発生回路7、8、セレクトゲートデコーダ9、ソース線ドライバ10、メモリセルアレイ1

1、Xデコーダ12、アドレスバッファ13、ペリファイ電圧発生回路14、ウェル電位発生回路15、トランスファークラッチ16、カラムラッチ17、18、YゲートトランジスタQ1、Q2を含む。図2では、説明を簡単にするため、1つのメモリセクタ内のメモリセルアレイは2×2の構成に簡略化して示している。

【0032】書込／消去制御回路1は、書込動作および読出動作のタイミングや各動作時の電圧の制御を行なう。

【0033】データ入出力バッファ2は、センスアンプ3から入力されるデータを外部へ出力し、または、外部から入力された書込データを書込回路4へ出力する。

【0034】センスアンプ3は、YゲートトランジスタQ1、Q2を介して入力されたメモリセルアレイ11内のメモリセルのデータを増幅し、データ入出力バッファ2へ出力する。

【0035】書込回路4は、データ入出力バッファ2から入力されたデータをカラムラッチ17、18に書込む。

【0036】Yデコーダ5は、アドレスバッファ13からの出力を受けてYゲートトランジスタQ1、Q2を選択する。

【0037】高電圧発生回路6および19、および負電圧発生回路7および8は、書込／消去時に単一供給電源から所定の正の高電圧および所定の負の高電圧を発生させる。

【0038】セレクトゲートデコーダ9は、アドレスバッファ13からの出力を受けてメモリセルアレイ11内のセレクトゲートQ7～Q10を選択する。

【0039】ソース線ドライバ10は、NMOSTトランジスタQ3～Q6を含む。ソース線ドライバ10は、読出動作時にメモリセルのソース線に接地電圧レベルの電圧を印加し、消去動作時に所定の負電圧を印加する。

【0040】メモリセルアレイ11は、メモリセルQ11～Q18、セレクトゲートQ7～Q10を含む。メモリセルアレイ11では、Xデコーダ12およびYデコーダ5により選択されたメモリセルにデータが書込まれたり、消去されたりする。

【0041】Xデコーダ12は、アドレスバッファ13からの出力を受けて所定のワード線を選択する。

【0042】アドレスバッファ13は、外部からメモリセルアレイ11内の所定のメモリセルを選択するアドレス信号を受け、カラムアドレス信号をYデコーダ5へ、ロウアドレス信号をXデコーダ12へ出力する。

【0043】ペリファイ電圧発生回路14は、書込または消去ペリファイ時にワード線の電位を所定のペリファイレベルに変更する。

【0044】ウェル電位発生回路15は、メモリセルの消去時にPウェルに負の高電圧を印加する。

【0045】トランスファークラッチ16は、カラムラッ

チ17、18と、ビット線との接続を制御する。カラムラッチ17、18は、書込データをラッチする。

【0046】次に、上記のように構成されたフラッシュメモリの消去動作について説明する。消去時、アドレスバッファ13により1つのセクタ（ブロック）が選択され、書込／消去制御回路1により選択されたセクタ内のワード線（コントロールゲート）がすべて選択される。次に、高電圧発生回路19により10Vの高電圧が選択されたすべてのワード線に印加される。非選択セクタ内のワード線は接地されている。また、セレクトゲートデコーダ9は選択されたセクタ内では-8Vを、非選択のセクタでは-4Vを負電圧発生回路7により発生させる。

【0047】このとき、書込／消去制御回路1により発生される制御信号ASL、BSLはそれぞれ0V、-8Vになるため、メモリセルのソース線とセレクトゲートが接続され、選択セクタのソース線は-8V、非選択セクタのソース線は-4Vになる。また、ウェル電位発生回路15では、Pウェルに-8Vの負電圧を負電圧発生回路7により印加する。

【0048】したがって、選択されたセクタのメモリセルにはチャネルが形成され、ワード線つまりコントロールゲートとチャネル間に18Vの高電圧が印加され、トンネル効果により電子がフローティングゲートに注入される。一方、非選択セクタでは、ワード線は0Vであり、ソース線が-4Vであるので、電位差が不十分となり、トンネル効果による電子の注入は起きない。

【0049】消去電圧を印加した後、ペリファイ電圧発生回路14を活性化させ、Xデコーダ12を通して6V程度の消去ペリファイ電圧をワード線に印加し、センスアンプにより電流が生じたか否かをセンスする。選択されたすべてのメモリセルのしきい値が6Vより高い場合すなわち、電流が生じない場合は、消去動作を終了し、選択されたメモリセルの1ビットでも電流が生じる場合は再び消去電圧を印加する。以上の動作により消去動作が実行される。

【0050】次に、図2に示すトランスファークラッチ16およびカラムラッチ17、18についてさらに詳細に説明する。図1は、図2に示すトランスファークラッチおよびカラムラッチの具体的な構成を示す回路図である。

【0051】図1を参照して、複数のビット線BL1～BL3の一端にはYゲートY1～Y3がそれぞれ接続される。YゲートY1～Y3はそれぞれ、P型MOSTトランジスタおよびN型MOSTトランジスタにより構成され、相補型トランスファークラッチとなっている。YゲートY1～Y3にはそれぞれ書込回路(WD)4a～4cおよびセンスアンプ(SA)3a～3cがそれぞれ接続される。YゲートY1～Y3のN型MOSTトランジスタのゲートにはYゲート制御信号TGS1が入力され、P型MOSTトランジスタのゲートにはインバータG9を介

してYゲート制御信号が入力される。インバータG9には電源電圧 V_{cc} より高い高電圧 V_{rr} が印加されている。

【0052】ビット線BL1～BL3にはそれぞれビット線リセットトランジスタRS1～RS3が接続される。ビット線リセットトランジスタRS1～RS3の他端は接地されている。ビット線リセットトランジスタRS1およびRS3のゲートにはリセット信号RS1が入力され、ビット線リセットトランジスタRS2のゲートにはリセット信号RS2が入力される。つまり、ビット線1本おきにビット線リセットトランジスタのゲートにリセット信号RS1またはRS2が交互に入力される。

【0053】ビット線BL1～BL3にはそれぞれセレクトゲートSG1～SG3が接続される。セレクトゲートSG1～SG3のゲートにはセレクトゲート制御信号SGSが入力される。

【0054】セレクトゲートSG1～SG3にはそれぞれメモリセルMC1～MC3が接続される。メモリセルMC1～MC3のソース側はソース線トランジスタQ24と接続される。ソース線トランジスタQ24の他端は接地される。ソース線トランジスタQ24のゲートには書込/消去制御回路1から出力される制御信号BSLが人力される。

【0055】ビット線BL1～BL3にはそれぞれ、プリチャージ用トランジスタPA1～PA3、PB1～PB3が接続される。プリチャージ用トランジスタPA1～PA3の他端は高電圧 V_{rr} と接続される。プリチャージ用トランジスタPB1、PB3のゲートにはプリチャージ制御信号PC1が入力され、プリチャージ用トランジスタPB2のゲートにはプリチャージ制御信号PC2が入力される。つまり、ビット線1本おきにプリチャージ制御信号PC1またはPC2が交互に入力される。プリチャージ用トランジスタPA1～PA3のゲートにはそれぞれインバータG1、G3、G4の出力信号がそれぞれ入力される。

【0056】ビット線BL1～BL3の他端にはトランスファergeートTG1～TG3が接続される。トランスファergeートTG1～TG3はそれぞれ、P型MOSトランジスタおよびN型MOSトランジスタにより構成される。トランスファergeートTG1、TG3のN型MOSトランジスタのゲートにはトランスファergeート制御信号TGS3が入力され、P型MOSトランジスタのゲートにはインバータG8を介してトランスファergeート制御信号TGS3が入力される。トランスファergeートTG2のN型MOSトランジスタのゲートにはトランスファergeート制御信号TGS2が入力され、P型MOSトランジスタのゲートにはインバータG7を介してトランスファergeート制御信号TGS2が入力される。つまり、トランスファergeートには、ビット線1本おきに、トランスファergeート制御信号TGS2またはTGS3が交互に入力されることになる。

【0057】トランスファergeートTG1～TG3はインバータG1、G3、G5の入力側と接続され、さらに、インバータG2、G4、G6の出力側と接続される。また、インバータG1、G3、G5はそれぞれインバータG2、G4、G6と接続される。インバータG1およびG2、G3およびG4、G5およびG6はそれぞれカラムラッチを構成する。インバータG1～G6には高電圧 V_{rr} が印加される。

【0058】N型MOSトランジスタQ21～Q23は書込/消去制御回路1aと接続される。トランジスタQ21～Q23のゲートは、それぞれトランスファergeートTG1～TG3と接続される。

【0059】書込/消去制御回路1aは、図2に示す書込/消去制御回路1の一部を示しており、トランジスタQ30、Q31、インバータG11、G12を含む。

【0060】トランジスタQ30、Q31はトランジスタQ21～Q23と接続され、トランジスタQ30の他端は電源電圧 V_{cc} と接続され、トランジスタQ31の他端は接地されている。つまり、トランジスタQ21～Q23はワイヤードOR接続されている。

【0061】また、上記の各制御信号は所定の制御信号発生回路(図示省略)により、後述する所定のタイミングで出力される。

【0062】次に、上記のように構成されたフラッシュメモリの書込動作について説明する。書込時、書込/消去制御回路1により書込回路4が活性化される。たとえばYゲートY1～Y3とトランスファergeートTG1～TG3を制御するYゲート制御信号TGS1およびトランスファergeート制御信号TGS2、TGS3が“H”となる。このとき、書込データがカラムラッチG1～G6にロードされる。次に、Yゲート制御信号TGS1が“L”となり、カラムラッチG1～G6およびトランスファergeートTG2、TG3の電圧 V_{rr} が6Vとなる。Yゲート制御信号TGS1によりYゲートY1～Y3は、ビット線BL1～BL3と書込回路4a～4cおよびセンスアンプ3a～3cとを切り離し、書込電圧がビット線に印加される。このとき、セレクトゲート制御信号SGSおよびワード線WLはそれぞれ10V、-8Vとなっている。以上の動作により書込動作が実行される。

【0063】次に、書込ベリファイ時の動作について説明する。図3は、図2に示すフラッシュメモリの書込ベリファイ動作を説明するためのタイミングチャートである。

【0064】図3を参照して、書込ベリファイ時、リセット信号RS1を“H”にすることにより、ビット線BL1およびBL3を接地する。このとき、Yゲート制御信号TGS1およびトランスファergeート制御信号TGS2、TGS3はすべて“L”の状態にする。また、プリチャージ制御信号PC1を“H”にする。次に、プリ

チャージ制御信号PC2を一時的に“L”にする。ノードN7の電位が“L”の場合、ビット線BL2はプリチャージされ、“H”の場合ビット線BL2はプリチャージされない。次に、ワード線WLの電圧WLSを書込ベリファイ電圧(～1.5V)に設定し、制御信号BSLを“H”にし、ソース線トランジスタQ24を一時的に接地する。このとき、メモリセルMC2のしきい値が書込ベリファイ電圧よりも低くなっている場合、プリチャージした電荷は放電され、一方、高くなっている場合はそのまま保持される。次に、トランスファークロップ制御信号TGS2を“H”にすると、トランスファークロップTG2がオンし、ビット線BL2とカラムラッチG3、G4とが接続される。ここで、インバータG4の電流駆動能力を極めて弱く設定しておく。具体的には、たとえば、ビット線BL2の寄生容量C2の容量が0.8pFである場合、インバータを構成するトランジスタのチャネル幅を3μm、チャネル長を1.7μm程度に設定するのが好ましい。以下のカラムラッチも同様である。したがって、ノードN4の電位が“H”の場合トランスファークロップ制御信号TGS2が“H”となりビット線BL2とカラムラッチG3、G4とが接続された直後、ビット線BL2には充電電流が生じるが、インバータG4の電流駆動能力が非常に弱いので、カラムラッチG3、G4のデータが反転し、ノードN4の電位は“L”に下降する。一方、メモリセルMC2のしきい値がベリファイ電圧より高い場合、ビット線の電位は下降しないので、カラムラッチG3、G4のデータは反転せず、ノードN4の電位は“H”を保持する。ただし、もともとノードN4の電位が“L”の場合、ビット線BL2はプリチャージされないため、トランスファークロップTG2を開いたとき、カラムラッチG3、G4は反転せず“L”のまま保持される。以上の動作は、ビット線1本おきに同時に実行される。

【0065】次に、ビット線BL2に接続されているメモリセルMC2のベリファイ動作が終了すると、次に、ビット線BL1、BL3に接続されているメモリセルMC1、MC3のベリファイ動作が開始される。すなわち、リセット信号RS1が“L”になり、リセット信号RS2が“H”となり、プリチャージ制御信号PC2が“H”となる。このとき、トランスファークロップ制御信号TGS2およびTGS3も“L”の状態となっている。また、ワード線WLは書込ベリファイ電圧のままに保持されている。この状態で、プリチャージ制御信号PC1を一時的に“L”にし、ビット線BL1およびBL3をカラムラッチG1、G2、G5、G6に記憶されているデータに従ってプリチャージを行なう。この後の動作は、上記に説明したビット線BL2のメモリセルMC2のベリファイ動作と同様である。上記の動作によりカラムラッチG1～G6によりラッチされたデータをワイヤードOR接続されたトランジスタQ21～Q23によ

りモニタする。具体的には、書込/消去制御回路1aのP型MOSトランジスタQ30によりノードN1を“H”に充電しておく、カラムラッチG1～G6でのベリファイ動作が終了した後、N型MOSトランジスタQ31によりノードN2を接地する。したがって、ノードN3～N5が“H”となるカラムラッチG1～G6が1つでも存在する場合つまり書込が終了していない場合、トランジスタQ21～Q23を介してノードN1の電位は“L”に降下することになる。ここで、インバータG12の電流駆動能力はカラムラッチのインバータG2、G4、G6と同様に弱く設定しておく。したがって、ノードN1をモニタすることにより、書込動作が正常に行なわれたか否かを判定する書込ベリファイ動作を行なうことができる。

【0066】上記の動作により、ベリファイ時に1ビット線おきにリセットされたビット線がシールドの役目を果たすことになり、ビット線間のノイズの影響をなくし、安定したベリファイ動作を行なうことができ、不揮発性半導体記憶装置をより高集積化することが可能となる。

【0067】また、ベリファイ動作を2回に分けて同時に行なっているため、センスアンプにより書込ベリファイ動作を行なうものより高速にベリファイ動作を行なうことができる。

【0068】次に、書込動作中に一時的に書込を中断し、読出動作を行なう書込サスペンド、および、書込サスペンド終了後再び書込モードに移行する書込レジューム時の動作について説明する。

【0069】書込サスペンド時、トランスファークロップ制御信号TGS2、TGS3は“L”となる。また、プリチャージ制御信号PC1、PC2は“H”である。すなわち、カラムラッチG1～G6をビット線BL1～BL3から切り離し、プリチャージ用トランジスタPB1～PB3をオフさせる。この状態で、リセット信号RS1、RS2を一時的に“H”にし、ビット線BL1～BL3をリセットする。次に、Yゲート制御信号TGS1を“H”にし、センスアンプ3a～3cを通して現在の書込対象外のメモリセルのデータを読出す。以上の動作により、書込サスペンド動作を安定に行なうことが可能となる。

【0070】次に、読出動作が終了すると、Yゲート制御信号TGS1を“L”にし、ビット線BL1～BL3とセンスアンプ3a～3cとを切り離す。次に、プリチャージ制御信号PC1、PC2を一時的に“L”にし、カラムラッチG1～G6のデータに応じてビット線BL1～BL3のプリチャージを行なう。プリチャージが終了すると、トランスファークロップ制御信号TGS2およびTGS3を“H”にし、カラムラッチG1～G6とビット線BL1～BL3とを接続する。次に、電圧V_{FF}を3.3Vから6Vに昇圧し、書込動作を続行する。以上

の動作により、安定な書込レジューム動作を実行することが可能となる。

【0071】次に、書込ベリファイ動作を書込ベリファイの対象となるすべてのメモリセルについて同時に行なうことのできるトランスファークラックおよびカラムラッチの具体的な構成について説明する。図4は、図2に示すトランスファークラックおよびカラムラッチの他の具体的な構成例を示す回路図である。図4に示す回路と図1に示す回路とで異なる点は、ビット線リセットトランジスタおよびプリチャージ用トランジスタが省略され、トランスファークラックTG11のゲートに1本のトランスファークラック制御信号TGS2が入力されている点である。その他の点は、図1に示す回路と同様であるので以下その説明を省略する。

【0072】次に、図4に示す回路の書込動作および書込ベリファイ動作について説明する。消去動作を行なった後、書込/消去制御回路1により書込回路4dが活性化される。次に、Yゲート制御信号TGS1およびトランスファークラック制御信号TGS2が“H”に立上げられる。したがって、ビット線BL11と書込回路4dおよびカラムラッチG21、G22とが接続され、書込データがカラムラッチG21、G22へロードされる。次に、Yゲート制御信号TGS1が“L”となり、Yゲート制御信号TGS1に反応してYゲートY11は、ビット線BL11と書込回路4dおよびセンスアンプ3dとを切離し、書込電圧がビット線BL11に印加される。このとき、セレクトゲート制御信号SGSおよびワード線WLの電圧はそれぞれ10V、-8Vとなっている。

【0073】書込電圧印加後、高電圧V_{PP}を6Vから3.3Vに降下させ、また、トランスファークラック制御信号TGS2を“L”にする。トランスファークラック制御信号TGS2に応じてトランスファークラックTG11がオフされ、ビット線BL11とカラムラッチG21、G22とが切離される。このとき、ビット線BL11には、カラムラッチG21、G22のデータに従った電圧(0Vまたは3.3V)が保持されることとなる。次に、ワード線WLの電圧をベリファイ電圧(〜1.5V)に設定し、制御信号BSLを“H”にし、ソース線SLを一時的に接地する。このとき、書込が行なわれたメモリセルMC11のしきい値が1.5Vより降下している場合、ビット線BL11に充電されている電荷はメモリセルMC11を通して放電される。次に、トランスファークラック制御信号TGS2を“H”に立上げ、ビット線BL11とカラムラッチG21、G22とを接続する。カラムラッチのインバータG22は上記と同様に電流駆動能力を弱く設定している。したがって、ビット線BL11には充電電流が生じるが、インバータG22の電流駆動能力が非常に弱いので、カラムラッチG21、G22のデータが反転する。この結果、ノードN13の電位は“L”に下降する。一方、メモリセルMC11の

しきい値がベリファイ電圧より高い場合、ビット線BL11の電位は下降しないので、カラムラッチG21、G22のデータは反転せず、ノードN13の電位は“H”を保持する。

【0074】上記の動作によりカラムラッチG21、G22に保持されたデータをワイヤードOR接続されたトランジスタQ37により上記と同様にモニタすることが可能となる。したがって、ノードN11の電位をモニタすることにより書込ベリファイの情報を得ることができ、書込ベリファイの対象となるすべてのメモリセルについて同時に書込ベリファイ動作を行なうことが可能となり、高速な書込ベリファイ動作を行なうことができる。また、書込ベリファイ動作に用いる電圧および制御信号の数が図10に示す従来の書込ベリファイ回路より少なくなり、回路構成が簡略化され、さらに、装置の高集積化を達成することができる。

【0075】次に、図4に示すカラムラッチの他の具体的な構成について説明する。図5は、図4に示すカラムラッチの他の具体的な構成を示す回路図である。

【0076】図5を参照して、カラムラッチはインバータG21、G22を含む。インバータG21の入力側はビット線BL11と直接接続される。その他の構成は、図4に示すカラムラッチと同様であるので以下その説明を省略する。上記のような構成により、インバータG21によりビット線BL11の電位を直接センスすることができ、インバータG22のデータが確定した時点で、トランスファークラック制御信号TGS2を“H”にし、ビット線BL11とカラムラッチG21、G22とを接続することができる。したがって、インバータG22は、電流駆動能力の十分高いインバータを用いることができ、より安定した書込動作を行なうことが可能となる。

【0077】次に、消去ベリファイ動作を消去ベリファイの対象となるすべてのメモリセルについて同時に行なうことのできるトランスファークラックおよびカラムラッチの具体的な構成について説明する。図6は、図2に示すトランスファークラックおよびカラムラッチのさらに他の具体的な構成を示す回路図である。

【0078】図6に示す回路では、図4に示す回路に対してビット線21に接続されるP型MOSトランジスタQ44が新たに設けられている。また、カラムラッチG31、G32の出力はP型MOSトランジスタQ43のゲートにも入力されている。P型MOSトランジスタQ43のソースおよびドレインは他のカラムラッチとワイヤードOR接続されており、書込/消去制御回路1b内のラッチG43、G44およびP型MOSトランジスタQ52およびN型MOSトランジスタQ54と接続されている。その他の構成は、図4に示す回路と同様であるので以下その説明を省略する。

【0079】次に、上記のように構成された回路の動作について説明する。書込動作および書込ベリファイ動作

は、図4に示すフラッシュメモリと同様であるので以下その説明を省略する。消去時は、選択されたセクタの全ワード線WL1、WL2を10Vに立上げ、メモリセルMC21、MC22のソースに-8Vの電圧を印加する。ここで、-8Vの印加回路は図示していない。消去動作が終了すると、プリチャージ信号PCを一時的に“L”にし（このとき、Yゲート制御信号TGS1およびトランスファーゲート制御信号TGS2は、ともに“L”）、ビット線BL21をプリチャージする。次に、選択されたセクタの全ワード線を6V程度（消去ベリファイ電圧）にし、制御信号BSLを一時的に“H”にしてソース線SLを接地する。選択されたセクタ内のメモリセルのうち1ビットでもしきい値が6V未満のものがあれば、プリチャージされた電荷は放電される。一方、すべてのビット線のしきい値が6V以上であれば、電荷は放電されずそのまま保持される。その後トランスファーゲート制御信号TGS2を“H”にし、ビット線BL21とカラムラッチG31、G32とを接続する。ビット線BL21の電圧がカラムラッチG31、G32によって確定される。一方、書込／消去制御回路1bのN型MOSトランジスタQ54のゲートに“H”の制御信号S4を入力する。このとき、ノードN24は“L”にリセットされる。次に、P型MOSトランジスタQ52のゲートに“L”の制御信号S3を入力すると、ノードN25の電位が“L”であればノードN24の電位は“H”となり、一方、ノードN25の電位が“H”であればノードN24の電位は“L”に保持される。すなわち、消去ベリファイ時にすべてのビットが6Vより高いしきい値にある場合、ノードN24は“L”となり、どれかが1ビットでも6Vより低いときはノードN24の電位は“H”となる。したがって、ノードN24の電位をモニタすることにより消去ベリファイの情報を得ることができ、消去ベリファイの対象となるすべてのメモリセルについて同時に消去ベリファイ動作を行なうことが可能となり高速な消去ベリファイ動作を行なうことができる。また、消去ベリファイ動作に用いる電圧および制御信号の数が少なく、回路構成が簡略化され、さらに、装置の高集積化を達成することができる。

【0080】

【発明の効果】請求項1記載の不揮発性半導体記憶装置においては、ビット線1本おきにリセットがかけられ、半分のビット線ずつベリファイ動作を行なうため、リセットされたビット線がシールドの役目を果たし、ベリファイ動作中のビット線間の信号の振れによるノイズの影響をなくすことができ、書込ベリファイ時間を短縮し、さらに装置の高集積化を達成することが可能となる。

【0081】請求項2記載の不揮発性半導体記憶装置においては、簡便な回路で書込ベリファイ動作の対象となるメモリセルについて同時に書込ベリファイ動作を行なうことができ、高速な書込ベリファイ動作を行なうこと

ができる。また、プログラムサスペンドおよびプログラムレジウム動作を安定に行なうことが可能となる。

【0082】請求項3記載の不揮発性半導体記憶装置においては、書込ベリファイ動作の対象となるメモリセルについて同時に書込ベリファイ動作を行なうことができるので、高速な書込ベリファイ動作を実行することが可能となる。また、回路構成も簡略化されているので、さらに装置の高集積化を達成することができる。

【0083】請求項4記載の不揮発性半導体記憶装置においては、消去ベリファイの対象となるメモリセルについて同時に消去ベリファイ動作を行なうことができ、高速な消去ベリファイ動作を実行することが可能となる。また、回路構成も簡略化されているので、さらに装置の高集積化を達成することができる。

【図面の簡単な説明】

【図1】図2に示すトランスファーゲートおよびカラムラッチの具体的な構成を示す回路図である。

【図2】本発明の一実施例のフラッシュメモリの構成を示すブロック図である。

【図3】図1に示すフラッシュメモリの書込ベリファイ動作を説明するためのタイミングチャートである。

【図4】図2に示すトランスファーゲートおよびカラムラッチの他の具体的な構成を示す回路図である。

【図5】図4に示すカラムラッチの他の具体的な構成を示す回路図である。

【図6】図2に示すトランスファーゲートおよびカラムラッチのさらに他の具体的な構成を示す回路図である。

【図7】従来のフラッシュメモリの断面構造を示す図である。

【図8】従来のフラッシュメモリの書込／消去動作を説明するための図である。

【図9】従来のフラッシュメモリのプログラム時および消去時のしきい値電圧を示す図である。

【図10】従来のフラッシュメモリの書込ベリファイ回路の構成を示す図である。

【図11】図10に示す書込ベリファイ回路の動作を説明するためのタイミングチャートである。

【符号の説明】

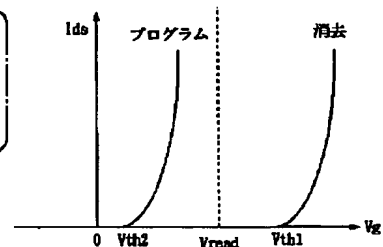
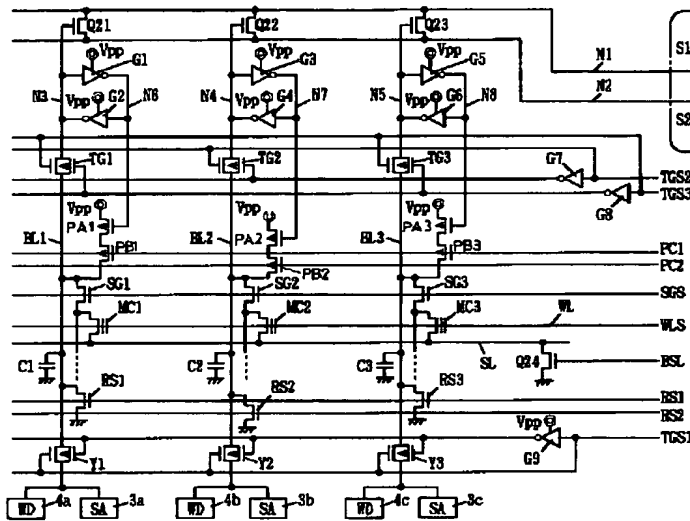
- 1 書込／消去制御回路
- 2 データ入出力バッファ
- 3 センスアンプ
- 4 書込回路
- 5 Yデコーダ
- 6、19 高電圧発生回路
- 7、8 負電圧発生回路
- 9 セレクトゲートデコーダ
- 10 ソース線ドライバ
- 11 メモリセルアレイ
- 12 Xデコーダ
- 13 アドレスバッファ

14 ペリファイ電圧発生回路
 15 ウェル電位発生回路
 16 トランスファークロート
 17、18 カラムラッチ
 Q21~Q23 トランジスタ
 G1~G6 カラムラッチ
 TG1~TG3 トランスファークロート
 PA1~PA3、PB1~PB3 プリチャージ用トラ

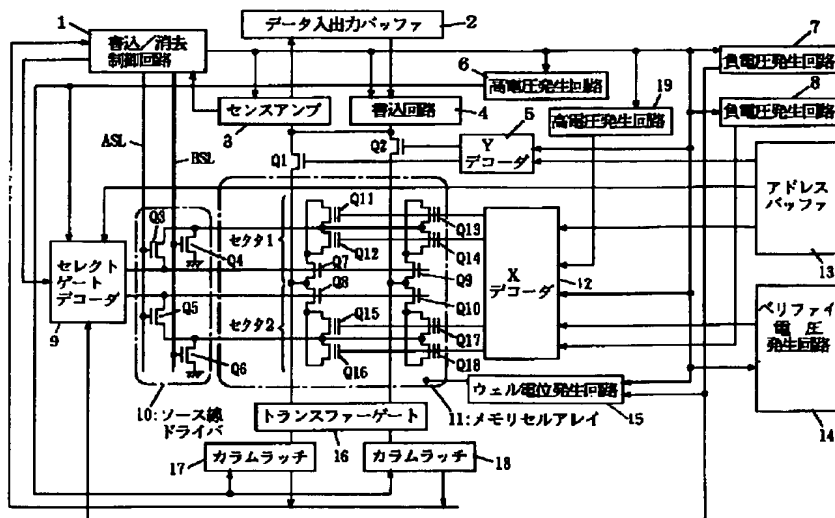
ンジスタ
 SG1~SG3 セレクトクロート
 MC1~MC3 メモリセル
 RS1~RS3 ビット線リセットトランジスタ
 Y1~Y3 Yクロート
 3a~3c センサンプ
 4a~4c 蓄込回路

【図1】

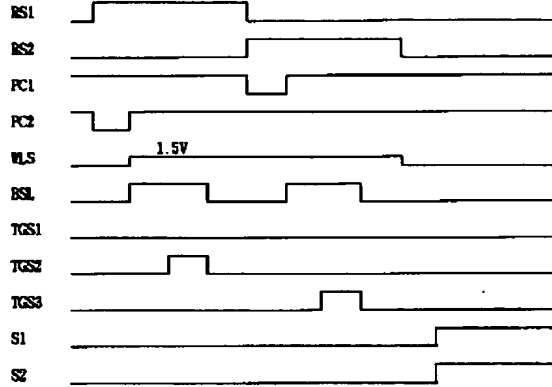
【図9】



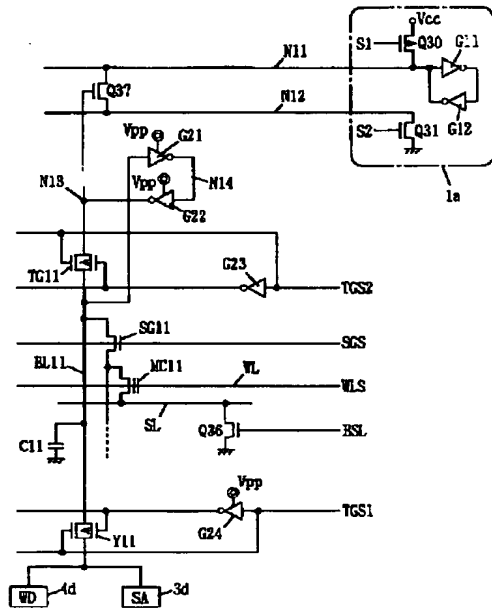
【図2】



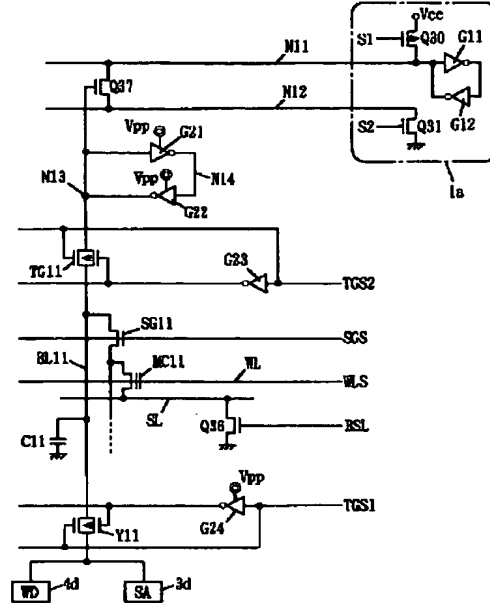
【図3】



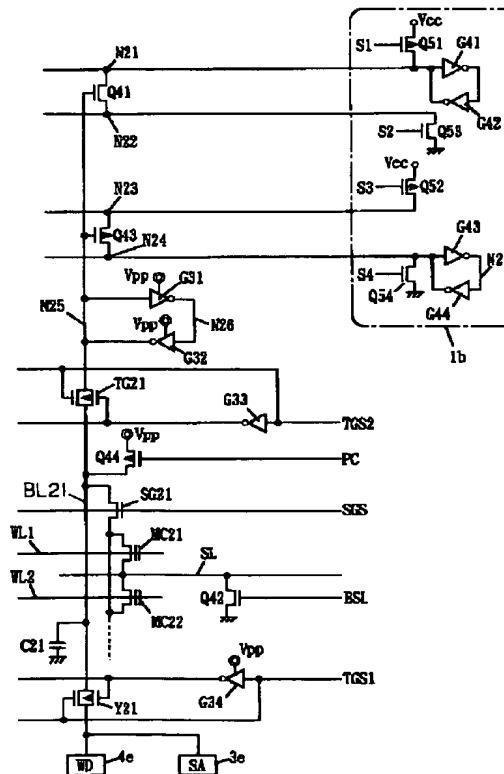
【図5】



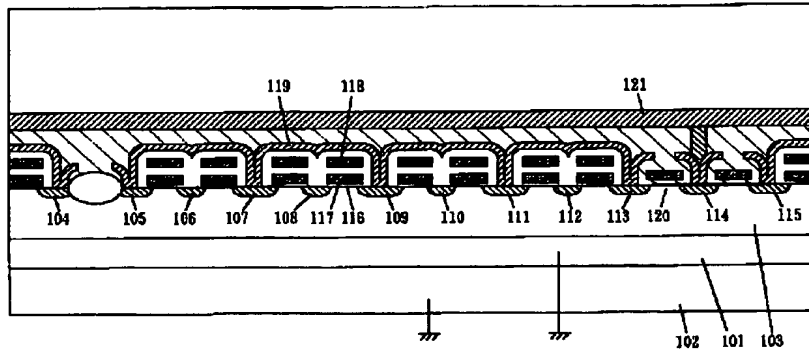
【図4】



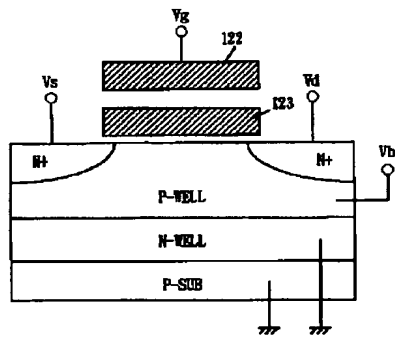
【図6】



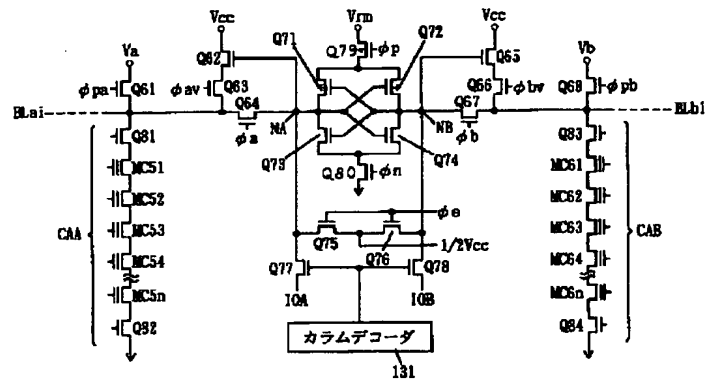
【図7】



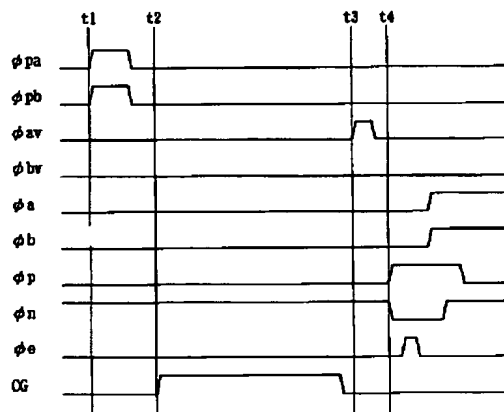
【図8】



【図10】



【図11】



フロントページの続き

(72)発明者 石井 元治

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(72)発明者 大庭 敦

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(72)発明者 ニッ谷 知士

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(72)発明者 細金 明

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内